

Moving picture decoding system.

Patent Number: EP0602642, A3, B1

Publication date: 1994-06-22

Inventor(s): KITSUKI TOSHIAKI C O NEC CORPO (JP); SAWADA AKIRA C O NEC CORPORA^TTI (JP)

Applicant(s):: NIPPON ELECTRIC CO (JP)

Requested Patent: JP6189298

Application Number: EP19930120321 19931216

Priority Number(s): JP19920354484 19921216

IPC Classification: H04N7/13

EC Classification: H04N5/907, H04N7/36E4, H04N7/50

Equivalents: DE69324114D, DE69324114T, JP2503853B2, KR157071

Abstract

An adder restores an image data by adding an output of a reverse DCT portion and an output of a predicted value calculating portion to output to a macro-block buffer. Data temporarily stored in the macro-block buffer is written in a predicting dynamic memory per a unit of data of one word consisted of 2 x 2 blocks of luminance component (Y), 1 x 2 blocks of Cr component and 1 x 2 blocks of Cb components, via a memory data bus. A prediction reference block of the preceding frame stored in the predicting dynamic memory is output to a reference block buffer via the memory data bus. A restored image data of the preceding frame in the predicting dynamic memory is output to a line buffer via the

memory data bus. 

Data supplied from the esp@cenet database - I2

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 04 N 7/137	Z			
G 06 F 15/66	330 B	8420-5L		
H 03 M 7/30	A	8522-5J		

審査請求 有 請求項の数 6(全 13 頁)

(21)出願番号 特願平4-354484

(22)出願日 平成4年(1992)12月16日

(71)出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号

(72)発明者 橋木 俊明
東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 澤田 明
東京都港区芝五丁目7番1号 日本電気株式会社内

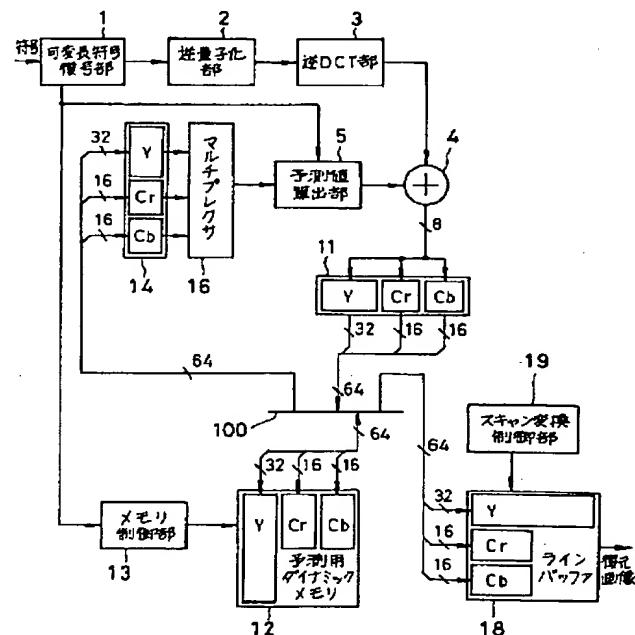
(74)代理人 弁理士 ▲柳▼川 信

(54)【発明の名称】 動画像復号システム

(57)【要約】

【目的】 予測用メモリとして安価なDRAMを使用し、予測用メモリの実装面積を小さくしてLSIの小型化を図る。

【構成】 加算器4は逆DCT部3の出力と予測値算出部5の出力とを加算して画像データを復元し、マクロブロックバッファ11に出力する。マクロブロックバッファ11に一時保持されたデータはメモリデータバス100を介して、輝度成分(Y)2×2サンプルとCr成分1×2サンプルとCb成分1×2サンプルとからなる1ワードのデータを単位として予測用ダイナミックメモリ12に書込まれる。予測用ダイナミックメモリ12に格納された前フレーム内の予測参照ブロックはメモリデータバス100を介して参照ブロックバッファ14に出力される。予測用ダイナミックメモリ12内の前フレームの復元画像データはメモリデータバス100を介してラインバッファ18に出力される。



【特許請求の範囲】

【請求項1】 入力符号から復元された離散コサイン変換係数を基に画像データを復元する復元手段と、前記入力符号から復元された動きベクトル情報と予測用サンプルデータとから前記画像データに対応する位置の予測値を生成する生成手段と、前記復元手段の出力と前記算出手段の算出結果とを演算する演算手段とを含む動画像復号システムであって、各アドレス毎に複数画素の輝度成分及び色差成分からなる画像データを格納する格納手段と、前記複数画素の輝度成分及び色差成分を単位として前記画像データを伝送するメモリデータバスと、前記メモリデータバスを介して前記格納手段から読出した画像データを $m \times n$ 画素 (m, n は正の整数) からなるブロック単位で保持する第1の保持手段と、前記第1の保持手段に保持された前記画像データを時分割で前記生成手段に出力する手段と、前記演算手段の演算結果を各アドレス毎に前記複数画素の輝度成分及び色差成分からなる画像データを前記ブロック単位分保持する第2の保持手段と、前記第2の保持手段に保持された前記演算結果を前記メモリデータバスを介して前記格納手段に書込む手段とを有することを特徴とする動画像復号システム。

【請求項2】 入力符号から復元された離散コサイン変換係数を基に画像データを復元する復元手段と、前記入力符号から復元された動きベクトル情報と予測用サンプルデータとから前記画像データに対応する位置の予測値を生成する生成手段と、前記復元手段の出力と前記算出手段の算出結果とを演算する演算手段とを含む動画像復号システムであって、各アドレス毎に複数画素の輝度成分及び色差成分からなる画像データを格納する格納手段と、前記複数画素の輝度成分及び色差成分を単位として前記画像データを伝送するメモリデータバスと、前記メモリデータバスを介して前記格納手段から読出した画像データを $m \times n$ 画素 (m, n は正の整数) からなるブロック単位で保持する第1の保持手段と、前記第1の保持手段に保持された前記画像データを時分割で前記生成手段に出力する手段と、前記復元手段の出力を前記ブロック単位分保持する第2の保持手段と、前記演算手段の演算結果を前記メモリデータバスを介して前記格納手段に書込む手段とを有し、前記演算手段が前記第2の保持手段の出力と前記算出手段の算出結果との演算を行うようにしたことを特徴とする動画像復号システム。

【請求項3】 前記格納手段に対するアクセスをダイナミックメモリのページモードアクセスで行うようにしたことを特徴とする請求項1または請求項2記載の動画像復号システム。

【請求項4】 前記格納手段から前記画像データを前記複数画素の輝度成分及び色差成分を単位としてラスタスキャン順に読出す読出し手段と、前記読出し手段によって読出された前記画像データをラスタスキャン順の映像信号に復元する手段とを有することを特徴とする請求項

3記載の動画像復号システム。

【請求項5】 前記第1の保持手段を前予測用及び後予測用に夫々有することを特徴とする請求項1～請求項3のうちいづれか記載の動画像復号システム。

【請求項6】 前記演算手段の演算結果を基に映像信号を復元する映像信号復元手段と、前記格納手段への前記演算結果の書き込みと同時に前記演算結果を前記メモリデータバスを介して前記映像信号復元手段に出力するよう制御する手段とを有することを特徴とする請求項3記載の動画像復号システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は動画像復号システムに関し、特にフレーム間予測符号化された動画像符号データを復号する動画像復号集積回路及びそのシステムに関する。

【0002】

【従来の技術】 動画像の圧縮符号化方式としては、フレーム内符号化、前方向予測符号化、双方向予測符号化を適応的に切替えて符号化するものが主流である。また、双方向予測符号化を使用せずに、フレーム内符号化、前方向予測符号化のみを切替えて符号化する方式も使われている。

【0003】 ここで、フレーム内符号化は自フレームの情報のみから符号化するものであり、前方向予測符号化は前フレームの情報を参照するものであり、双方向予測符号化は前フレーム及び後フレームの情報を参照するものである。上記のような方式で符号化されたデータを復号化するためには、前フレーム及び後フレームを一時格納する予測用フレームメモリを必要とする。

【0004】 上記のような方式で符号化されたデータを復号化する方式のうち、例えば双方向予測符号化を使用しない動画像復号システムとしては、図4に示すようなシステムがある。

【0005】 この動画像復号システムにおいて、復号化する符号が可変長符号復号部1に入力されると、可変長符号復号部1は量子化DCT(離散コサイン変換)係数を復元し、その量子化DCT係数を逆量子化部2に出力する。同時に、可変長符号復号部1は予測モード及び動きベクトル情報を復元し、それら予測モード及び動きベクトル情報を予測値算出部5とメモリ制御部33とに出力する。

【0006】 逆量子化部2は入力した量子化DCT係数からDCT係数を復元し、そのDCT係数を逆DCT部3に出力する。逆DCT部3は入力したDCT係数に対して逆DCTを施すことによってフレーム間差分データまたは画像データを復元し、そのフレーム間差分データまたは画像データを加算器4に出力する。

【0007】 予測用メモリ32は読出し及び書き込みのために2フレーム分のデータ容量を持っており、メモリ制

御部33からのアドレスと制御信号とによって制御される。このメモリ制御部33は時分割で、予測参照ブロックのリード制御と、復元画像データのライト制御と、復元画像データのラスタスキャン変換のためのリード制御とを行う。

【0008】メモリ制御部33による予測参照ブロックのリード制御時には現フレームの現在位置(x, y)に対し、参照フレームの動きベクトル情報で補正された位置(x + Δx, y + Δy)のブロックが読み出され、そのブロックが参照ブロックバッファ34に出力される。

【0009】また、メモリ制御部33による復元画像データのライト制御時には加算器4から出力されたデータがラッチ31に水平8サンプル分揃ってから予測用メモリ32に書込まれる。さらに、メモリ制御部33による復元画像データのリード制御時には予測用メモリ32内の前フレームの復元画像データが読み出され、この復元画像データがラインバッファ38に出力される。

【0010】参照ブロックバッファ34は予測用メモリ32から入力された予測参照ブロックを一時格納し、この予測参照ブロックを1ワード単位でマルチプレクサ36に出力する。マルチプレクサ36は参照ブロックバッファ34から入力された1ワード単位の予測参照ブロック内から8ビットの1サンプルデータを切り出し、その1サンプルデータを予測値算出部5に出力する。

【0011】予測値算出部5はマルチプレクサ36から1サンプルデータが入力されると、可変長符号復号部1からの予測モードと動きベクトル情報とにしたがって、逆DCT部3の出力に対応する位置の予測値を算出し、この予測値を加算器4に出力する。

【0012】加算器4は逆DCT部3の出力と予測値算出部5の出力とを加算することで画像データを復元し、この復元画像データをラッチ31に出力する。ラッチ31に水平8サンプル分のデータが揃うと、該データはメモリ制御部33の制御によって予測用メモリ32に書込まれる。

【0013】スキャン変換制御部39はラインバッファ38に制御信号を出力し、予測用メモリ32からの復元画像データの書き込みと、ラスタスキャン順での復元画像データの読み出しとを制御する。

【0014】ラインバッファ38は各色成分1ライン分のバッファを、書き込み用及び読み出し用に2バンク有している。すなわち、ラインバッファ38の一方のバンクに予測用メモリ32からの復元画像データが各色成分1ライン分書き込まれるとき、他方のバンクからはラスタスキャン順にデータが読み出される。

【0015】尚、ラッチ31、参照ブロックバッファ34、ラインバッファ38は夫々メモリデータバス101を介して予測用メモリ32に接続されている。このメモリデータバス101は64ビット幅である。

【0016】上記の如く動作する動画像復号システムに

おいて、メモリ制御部33が予測用メモリ32をアクセスする際に必要なアクセス速度性能について以下説明する。このアクセス速度性能を一番必要とするのは前方向予測符号化フレームの場合で、メモリ制御部33による予測参照ブロックのリード制御と復元画像データのライト制御と復元画像データのラスタスキャン変換のためのリード制御とにおいて必要とする。

【0017】ここで、動画像復号システムの各機能ブロックは8画素×8画素からなるブロックを最小単位とする。つまり、該システムにおける逆量子化部2による逆量子化や逆DCT部3による逆DCTで該ブロックが最小単位となる。また、輝度成分(Y)2×2ブロックと、2個の色差成分(Cr, Cb)各々1×2ブロックとからなるものをマクロブロックと呼ぶこととする。

【0018】メモリ制御部33が復元画像データのライト制御を行う場合、復元画像データは1ブロック当たり8回のアクセスで予測用メモリ32に書込まれる。

【0019】また、メモリ制御部33が予測参照ブロックのリード制御を行う場合、動きベクトル情報が整数画素位置を参照するものであれば、1ブロックに対して8サンプル×8サンプルの予測参照ブロックが必要である。

【0020】一方、動きベクトル情報が中間画素位置(ハーフペル)を参照するものであれば、1ブロックに対して9サンプル×9サンプルの予測参照ブロックが必要である。しかしながら、水平8サンプル分のデータを1ワードとするワード構成の場合、9サンプル×9サンプルの予測参照ブロックを直接読み出すことはできないので、水平方向に2ワード(16サンプル分)のアクセスを9回行う必要がある。

【0021】さらに、メモリ制御部33が復元画像データのラスタスキャン変換のためのリード制御を行う場合、ラインバッファ38へは各色成分毎に1水平方向分のデータが出力される。

【0022】デジタル映像スタジオ規格CCIR601の525ラインシステムはフレームサイズ720×480ピクセル、フレームレート30フレーム/秒のピクセルレートであり、サンプリング周波数は13.5MHzである。また、この規格によると、1ラインを858サイクルで出力する必要があるため、16ライン当たり858×16=13728サイクルで処理する必要がある。

【0023】以下、上記の動画像復号システムでCCIR601の525ラインシステムのピクセルレートを実現する場合について説明する。まず、上記の動画像復号システムの16ライン当たりのワードアクセス回数を見ると、

予測参照ブロックのリード: 2ワード×9回×8ブロック×45マクロブロック=6480

復元画像データのライト: 1ワード×8回×8ブロック

$\times 45 \text{ マクロブロック} = 2880$

復元画像データのリード: $(1/8) \text{ ワード} \times (720 + 2 \times 360) \text{ サンプル} \times 16 \text{ ライン} = 2880$

で、合計 12240 回となる。ここで、1 水平方向分のマクロブロック数は 45 マクロブロックである。

【0024】一方、LSI の動作クロックは画像のサンプリングクロックの整数倍に設定される。CCIR601 の 5.25 ラインシステムの場合、サンプリング周波数が 13.5 MHz なので、1 サイクルが約 74 ns となる。

【0025】予測用メモリ 32 にアクセスタイム 74 ns 以下の SRAM (スタティック・ランダム・アクセス・メモリ) を使用した場合、SRAM の 1 ワードアクセスは 1 サイクルで実行可能であるため、そのアクセスサイクルは 12240 サイクルとなり、CCIR601 の 5.25 ラインシステムのピクセルレートで必要な 13728 サイクル以内の条件に対応可能である。また、アクセスタイム 37 ns 以下の SRAM を 27 MHz で使用すれば、メモリデータバス 101 が 32 ビット幅でも上記の条件に対応可能となる。

【0026】これに対して、予測用メモリ 32 にアクセスタイム 70 ns 程度の DRAM (ダイナミック・ランダム・アクセス・メモリ) を使用した場合、DRAM のアクセスに必要なアクセス回数は以下のようになる。

【0027】DRAM のページモードアクセスは、図 3 (a) に示すように、アクセス開始時に RAS 信号及び CAS 信号のプリチャージサイクル P とロウアドレスサイクル R との 2 サイクル後に、カラムアドレス C0, C1, … を入力することで行われる。

【0028】予測参照ブロックのリードでの 2 ワードアクセスはカラムアドレスを 2 回連続することで行えるので、サイクル数は 4 サイクルとなる。復元画像データのライトでの 1 ワードアクセスはカラムアドレスが連続しないので、サイクル数は 3 サイクルとなる。復元画像データのリードではアドレスが連続しているので、ページモードアクセスによって 1 ワードのアクセスをほぼ 1 サイクルで実行することができる。

【0029】したがって、DRAM を使用した場合の 16 ライン当たりの必要サイクル数は、

予測参照ブロックのリード: $4 \text{ サイクル} \times 9 \text{ 回} \times 8 \text{ ブロック} \times 45 \text{ マクロブロック} = 12960$

復元画像データのライト: $3 \text{ サイクル} \times 8 \text{ 回} \times 8 \text{ ブロック} \times 45 \text{ マクロブロック} = 8640$

復元画像データのリード: $(1/8) \text{ サイクル} \times (720 + 2 \times 360) \text{ サンプル} \times 16 \text{ ライン} = 2880$

で、合計 24480 サイクルとなる。ここで、1 水平方向分のマクロブロック数は 45 マクロブロックである。

【0030】したがって、DRAM を使用した場合には、CCIR601 の 5.25 ラインシステムのピクセルレートで必要な 13728 サイクル以内の条件を満たす

ことができない。アクセスタイムが 40 ns 程度の DRAM 製品があれば、アクセスタイムが 74 ns 以下の SRAM と同様に 1 ワードアクセスを 1 サイクルで実行可能であるが、現在そのような製品はない。

【0031】そのため、CCIR601 の 5.25 ラインシステムのピクセルレート以上の動画像復号システムでは SRAM が使用されるか、あるいはデータバス幅を 128 ビット以上に広げてアクセス回数を減らして DRAM が使用されている。

【0032】従来の符号化されたデータを復号化する方式のうち、例えばフレーム内符号化、前方方向予測符号化、双方向予測符号化を適応的に切替えて符号化する動画像復号システムとしては、図 5 に示すようなシステムがある。

【0033】この図 5 に示す動画像復号システムは図 4 に示す動画像復号システムと以下の点で異なる。すなわち、図 4 に示す動画像復号システムでは参照ブロックバッファ 34 が前予測用の 1 個であったのに対して、図 5 に示す動画像復号システムでは前参照ブロックバッファ 44 及び後参照ブロックバッファ 45 の 2 個設けられている。尚、前参照ブロックバッファ 44 及び後参照ブロックバッファ 45 に一時格納された前予測参照ブロック及び後予測参照ブロックはマルチプレクサ 46, 47 を経由して予測値算出部 5 に出力される。

【0034】また、図 5 に示す動画像復号システムのメモリ制御部 43 には図 4 に示す動画像復号システムのメモリ制御部 33 での制御に、双方向予測符号化フレームに対する制御が付加されている。双方向予測符号化フレームでは前予測参照ブロックのリード制御と後予測参照ブロックのリード制御とが必要である。

【0035】双方向予測符号化フレームの復元画像データの出力はスキャン変換制御部 49 の制御によってラッチ 31 からメモリデータバス 101 を経由せずに、マルチプレクサ 40 を経由してスキャン変換用メモリ 48 に書込むことで行う。

【0036】さらに、図 4 に示す動画像復号システムでは復元画像データのリード制御時のデータ出力順序が各色成分毎で、また 1 ライン毎である。これに対し、図 5 に示す動画像復号システムでは双方向予測符号化フレームの復元画像データの出力に合わせてラッチ 31 からの復元画像データの入力と同じようにマクロブロック単位である。つまり、ラッチ 31 からの復元画像データはマルチプレクサ 40 を経由してスキャン変換用メモリ 48 に書込まれる。

【0037】図 5 に示す動画像復号システムのスキャン変換用メモリ 48 にはマクロブロック毎に復元画像データが入力されるため、1 水平方向分のマクロブロックを格納するバッファを、書き込み用及び読み出し用に 2 バンク有する必要があり、そのメモリ容量は 360 K ビットとなる。

【0038】図5に示す動画像復号システムのスキャン変換制御部49はスキャン変換用メモリ48に制御信号を出力し、マクロブロック毎に入力される復元画像データの書き込みと、ラスタスキャン順での復元画像データの出力とを制御する。

【0039】上記の動画像復号システムでCCIR601の525ラインシステムのピクセルレートを実現する場合、メモリ制御部43での16ライン当たりのワードアクセス回数を見ると、前予測符号化の場合には上述した図4に示す動画像復号システムのワードアクセス回数と同様に12240回となる。

【0040】これに対し、双方向予測符号化の場合には、

前予測参照ブロックのリード：2ワード×9回×8ブロック×45マクロブロック=6480

後予測参照ブロックのリード：2ワード×9回×8ブロック×45マクロブロック=6480

で、合計12960回となる。ここで、1水平方向分のマクロブロック数は45マクロブロックである。

【0041】予測用メモリ32にSRAMを使用した場合、上述した図4に示す動画像復号システムと同様に、アクセスタイム74ns以下のSRAMを使用すれば、CCIR601の525ラインシステムのピクセルレートで必要な13728サイクル以内の条件に対応可能である。また、アクセスタイム37ns以下のSRAMを27MHzで使用すれば、メモリデータバス101が32ビット幅でも上記の条件に対応可能となる。

【0042】さらに、予測用メモリ32にDRAMを使用した場合、上述した図4に示す動画像復号システムと同様に、CCIR601の525ラインシステムのピクセルレートで必要な13728サイクル以内の条件を満たすことができない。

【0043】

【発明が解決しようとする課題】上述した従来の動画像復号システムでは、CCIR601の525ラインシステムのピクセルレートを必要とする動画像を復号化するために、通常、予測用フレームメモリとしてSRAMを必要とし、価格の安いDRAMを使用することができないという欠点がある。

【0044】また、データバス幅を128ビット以上に広げてDRAMで対応した場合、集積回路化したときにLSIの端子数が多くなり、このLSIを小型化することができないという欠点がある。

【0045】さらに、128ビットバス幅にするためには現在ある最大ワード幅の×16ビット構成のDRAMを使用しても、8個単位でDRAMを増やす必要があり、CCIR601の525ラインシステムで予測用フレームメモリとして必要な容量〔(720+360×2)サンプル×480ライン×8ビット×2フレーム=10,546…Mbit〕に対し、4MビットDRA

Mを8個使用した場合にこれらDRAMの未使用領域が大きくなるという欠点がある。

【0046】この場合、メモリ容量の効率を考えて1MビットDRAMを使用すると、16個のDRAMが必要となり、予測用フレームメモリの実装面積が大きくなるという欠点がある。

【0047】双方向予測符号化を行う動画像復号システムでは、双方向予測符号化フレームの復元画像データの出力がメモリデータバスを経由せずにラッチからスキャン変換用メモリに直接書き込むことによって行っている。これは双方向予測符号化時にメモリデータバスが予測用メモリのアクセスに大部分使用されてしまうため、ラッチからスキャン変換用メモリへの書き込みに必要な16ライン当たりのサイクル(8サイクル×8回×45マクロブロック=2880サイクル)が確保できないためである。

【0048】よって、該システムを集積回路化する際にスキャン変換用メモリとして外部メモリを使用する場合、スキャン変換用メモリのデータバス用の端子として64本端子が多く必要となり、このLSIを小型化することができないという欠点がある。

【0049】したがって、本発明の目的は上記欠点を解消し、予測用メモリとして安価なDRAMを使用することができ、予測用メモリの実装面積を小さくしてLSIの小型化を図ることができる動画像復号システムの提供にある。

【0050】

【課題を解決するための手段】本発明による動画像復号システムは、入力符号から復元された離散コサイン変換係数を基に画像データを復元する復元手段と、前記入力符号から復元された動きベクトル情報と予測用サンプルデータとから前記画像データに対応する位置の予測値を生成する生成手段と、前記復元手段の出力と前記算出手段の算出結果とを演算する演算手段とを含む動画像復号システムであって、各アドレス毎に前記複数画素の輝度成分及び色差成分からなる画像データを格納する格納手段と、前記複数画素の輝度成分及び色差成分を単位として前記画像データを伝送するメモリデータバスと、前記メモリデータバスを介して前記格納手段から読み出した画像データをm×n画素(m, nは正の整数)からなるブロック単位で保持する第1の保持手段と、前記第1の保持手段に保持された前記画像データを時分割で前記生成手段に出力する手段と、前記演算手段の演算結果を各アドレス毎に前記複数画素の輝度成分及び色差成分からなる画像データを前記ブロック単位分保持する第2の保持手段と、前記第2の保持手段に保持された前記演算結果を前記メモリデータバスを介して前記格納手段に書き込む手段とを備えている。

【0051】本発明による他の動画像復号システムは、入力符号から復元された離散コサイン変換係数を基に画

像データを復元する復元手段と、前記入力符号から復元された動きベクトル情報と予測用サンプルデータとから前記画像データに対応する位置の予測値を生成する生成手段と、前記復元手段の出力と前記算出手段の算出結果とを演算する演算手段とを含む動画像復号システムであって、各アドレス毎に複数画素の輝度成分及び色差成分からなる画像データを格納する格納手段と、前記複数画素の輝度成分及び色差成分を単位として前記画像データを伝送するメモリデータバスと、前記メモリデータバスを介して前記格納手段から読出した画像データを $m \times n$ 画素 (m, n は正の整数) からなるブロック単位で保持する第1の保持手段と、前記第1の保持手段に保持された前記画像データを時分割で前記生成手段に出力する手段と、前記復元手段の出力を前記ブロック単位分保持する第2の保持手段と、前記演算手段の演算結果を前記メモリデータバスを介して前記格納手段に書込む手段とを備え、前記演算手段が前記第2の保持手段の出力と前記算出手段の算出結果との演算を行うようにしている。

【0052】

【実施例】次に、本発明について図面を参照して説明する。

【0053】図1は本発明の一実施例の構成を示すブロック図である。図において、本発明の一実施例によるシステムは双方向予測符号化を使用しない動画像復号システムである。

【0054】可変長符号復号部1は復号化する符号が入力されると、量子化DCT(離散コサイン変換)係数を復元し、その量子化DCT係数を逆量子化部2に出力する。同時に、可変長符号復号部1は予測モード及び動きベクトル情報を復元し、それら予測モード及び動きベクトル情報を予測値算出部5とメモリ制御部13とに出力する。

【0055】逆量子化部2は入力した量子化DCT係数からDCT係数を復元し、そのDCT係数を逆DCT部3に出力する。逆DCT部3は入力したDCT係数に対して逆DCTを施すことによってフレーム間差分データまたは画像データを復元し、そのフレーム間差分データまたは画像データを加算器4に出力する。

【0056】予測用ダイナミックメモリ12は読出し及び書き込みのために2フレーム分のデータ容量を持っており、メモリ制御部13からのアドレスと制御信号とによって制御される。このメモリ制御部13は時分割で、予測参照ブロックのリード制御と、復元画像データのライト制御と、復元画像データのラスタスキャン変換のためのリード制御とを行う。

【0057】メモリ制御部13による予測参照ブロックのリード制御時には予測モードと動きベクトル情報とにしたがって、予測用ダイナミックメモリ12に格納された前フレーム内の予測参照ブロックが読出され、その予測参照ブロックが参照ブロックバッファ14に出力され

る。

【0058】また、メモリ制御部13による復元画像データのライト制御時にはマクロブロックバッファ11に1マクロブロック分のデータが揃うと、該1マクロブロック分のデータが予測用ダイナミックメモリ12に書き込まれる。さらに、メモリ制御部13による復元画像データのリード制御時には予測用ダイナミックメモリ12内の前フレームの復元画像データが読出され、この復元画像データがラインバッファ18に出力される。

【0059】参照ブロックバッファ14は予測用ダイナミックメモリ12から入力された予測参照ブロックを一時格納し、この予測参照ブロックを1ワード単位でマルチプレクサ16に出力する。マルチプレクサ16は参照ブロックバッファ14から入力された1ワード単位の予測参照ブロック内から8ビットの1サンプルデータを切り出し、その1サンプルデータを予測値算出部5に出力する。

【0060】予測値算出部5はマルチプレクサ16から1サンプルデータが入力されると、可変長符号復号部1からの予測モードと動きベクトル情報とにしたがって、逆DCT部3の出力に対応する位置の予測値を算出し、この予測値を加算器4に出力する。

【0061】加算器4は逆DCT部3の出力と予測値算出部5の出力を加算することで画像データを復元し、この復元画像データをマクロブロックバッファ11に出力する。マクロブロックバッファ11に1マクロブロック分のデータが揃うと、該データがメモリ制御部13の制御によって予測用ダイナミックメモリ12に書き込まれる。

【0062】この場合、マクロブロックバッファ11には、輝度成分(Y) 2×2 サンプルとCr成分 1×2 サンプルとCb成分 1×2 サンプルとからなる1ワードの復元画像データが各アドレス毎に書き込まれる。また、マクロブロックバッファ11と予測用ダイナミックメモリ12とを接続するメモリデータバス100は、輝度成分(Y) 2×2 サンプルとCr成分 1×2 サンプルとCb成分 1×2 サンプルとからなる1ワードの画像データを単位として伝送を行う。

【0063】よって、マクロブロックバッファ11から予測用ダイナミックメモリ12への復元画像データの書き込みは、輝度成分(Y) 2×2 サンプルとCr成分 1×2 サンプルとCb成分 1×2 サンプルとからなる1ワードの復元画像データを単位として行われる。これによって、予測用ダイナミックメモリ12の各アドレスには上記1ワードの復元画像データが夫々書き込まれる。

【0064】ラインバッファ18にはメモリデータバス100を経由して予測用ダイナミックメモリ12から、輝度成分(Y) 2×2 サンプルとCr成分 1×2 サンプルとCb成分 1×2 サンプルとからなる1ワードの復元画像データが入力されるため、各色成分2ライン分のバ

ッファを、書き込み用及び読み出し用に2バング有している。

【0065】すなわち、ラインバッファ18の一方のバングに予測用ダイナミックメモリ12からの復元画像データが各色成分2ライン分書き込まれるとき、他方のバングからはラスタスキャン順にデータが読み出される。よって、ラインバッファ18のメモリ容量としては、8サンプル×8サンプル×(2×2+1×2+1×2)ブロック×45マクロブロック×2バング=45Kビット必要となる。

【0066】スキャン変換制御部19はラインバッファ18に制御信号を出力し、予測用ダイナミックメモリ12からの復元画像データの書き込みと、ラスタスキャン順での復元画像データの読み出しとを制御する。

【0067】尚、マクロブロックバッファ11、参照ブロックバッファ14、ラインバッファ18は夫々メモリデータバス100を介して予測用ダイナミックメモリ12に接続されている。このメモリデータバス100は64ビット幅で、輝度成分(Y)2×2サンプルとCr成分1×2サンプルとCb成分1×2サンプルとからなる1ワードの画像データを単位として伝送を行う。

【0068】次に、メモリ制御部13による予測用ダイナミックメモリ12へのアクセスについて説明する。このメモリ制御部13による予測用ダイナミックメモリ12へのアクセスとしては予測参照ブロックのリード制御と、復元画像データのライト制御と、復元画像データのラスタスキャン変換のためのリード制御とがある。

【0069】メモリ制御部13が復元画像データのライト制御を行う場合、復元画像データはマクロブロック毎に8ワード×8回のワードアクセスで予測用ダイナミックメモリ12に書き込まれる。

【0070】また、メモリ制御部13が予測参照ブロックのリード制御を行う場合、1マクロブロックに対する予測参照マクロブロックは動きベクトル情報が整数画素位置を参照するものであれば、輝度成分(Y)16×16サンプルと色差成分8×16サンプルとが必要である。しかしながら、動きベクトル情報が中間画素位置(ハーフペル)を参照するものであれば、輝度成分(Y)17×17サンプルと色差成分9×17サンプルとが必要である。

【0071】したがって、輝度成分(Y)2×2サンプルとCr成分1×2サンプルとCb成分1×2サンプルとを1ワードとする本実施例のワード構成の場合、9×9ワードのアクセスによって予測参照ブロックの予測用ダイナミックメモリ12からの読み出しを実行する。

【0072】さらに、メモリ制御部13が復元画像データのラスタスキャン変換のためのリード制御を行う場合、ラインバッファ18への出力はマクロブロック毎ではなく、ワード単位で水平方向にデータが出力されていく。

【0073】以下、本実施例でCCIR601の525ラインシステムのピクセルレートを実現する場合について説明する。まず、本実施例での16ライン当たりのワードアクセス回数を見ると、

予測参照ブロックのリード：

9ワード×9回×45マクロブロック=3645

復元画像データのライト：

8ワード×8回×45マクロブロック=2880

復元画像データのリード：

10 360ワード×8水平方向=2880

で、合計9405回となる。ここで、1水平方向分のマクロブロック数は45マクロブロックである。

【0074】予測用メモリにDRAM(ダイナミック・ランダム・アクセス・メモリ)を使用した場合、DRAMのアクセスに必要なサイクル数は以下のようになる。

【0075】DRAMのページモードアクセスは、図3(a)に示すように、アクセス開始時にRAS信号及びCAS信号のプリチャージサイクルPとロウアドレスサイクルRとの2サイクル後に、カラムアドレスCO, C1, …を連続して入力することで行われる。

【0076】メモリ制御部13による復元画像データのライト制御における8ワードアクセスはページ境界にかかることがないので、図3(b)に示すように、10サイクルで行われる。

【0077】また、メモリ制御部13による予測参照ブロックのリード制御における9ワードアクセスはページ境界にかかる場合、図3(c)に示すように、11サイクルで行われ、ページ境界にかかる場合、図3(d)に示すように、13サイクルで行われる。

【0078】さらに、メモリ制御部13による復元画像データのリード制御におけるアクセスではアドレスが連続しており、ページ境界が数回しか入らないので、プリチャードサイクルPとロウアドレスサイクルRとを無視することができ、1ワードのアクセスをほぼ1サイクルで実行できる。

【0079】したがって、DRAMを使用した場合の16ライン当たりの必要サイクル数は、

予測参照ブロックのリード：

13サイクル×9回×45マクロブロック=5265

40 復元画像データのライト：

10サイクル×8回×45マクロブロック=3600

復元画像データのリード：

360サイクル×8水平方向=2880

で、合計11745サイクルとなる。ここで、1水平方向分のマクロブロック数は45マクロブロックである。

【0080】よって、DRAMを使用した場合には、CCIR601の525ラインシステムのピクセルレートで必要な16ライン当たり13728サイクル以内の条件を満たすことができる。

50 【0081】上述した本発明の一実施例では、復元画像

データをマクロブロックバッファ11から予測用ダイナミックメモリ12へ書込むとき、メモリデータバス100上にある復元画像データをラインバッファ18にも同時に書込むようにすれば、映像信号に変換する時に生ずるフレーム遅れを解消することができる。但し、この場合、ラインバッファ18の容量としては2ライン×2パンクよりも大きな容量が必要となる。

【0082】図2は本発明の他の実施例の構成を示すブロック図である。図において、本発明の他の実施例によるシステムはフレーム内符号化、前方向予測符号化、双方向予測符号化を適応的に切替えて符号化する動画像符号システムである。

【0083】本発明の他の実施例によるシステムは図1に示す本発明の一実施例によるシステムと以下の点で異なる。すなわち、本発明の一実施例では参照マクロブロックバッファ14が前予測用の1個であったのに対して、本発明の他の実施例では前参照マクロブロックバッファ24及び後参照マクロブロックバッファ25の2個設けられている。

【0084】尚、前参照マクロブロックバッファ24及び後参照マクロブロックバッファ25に一時格納された前予測参照ブロック及び後予測参照ブロックはマルチプレクサ26、27を経由して予測値算出部5に出力される。

【0085】また、本発明の他の実施例のメモリ制御部23には本発明の一実施例のメモリ制御部13での制御に、双方向予測符号化フレームに対する制御が付加されている。双方向予測符号化フレームでは前予測参照マクロブロックのリード制御と後予測参照マクロブロックのリード制御とが必要である。

【0086】双方向予測符号化フレームの復元画像データの出力はスキャン変換制御部29の制御によってマクロブロックバッファ11から出力された復元画像データをメモリデータバス100を経由してスキャン変換用メモリ28に書込むことで行われる。

【0087】また、本発明の一実施例では復元画像データのリード制御時のデータ出力順序が各色成分毎で、1ライン毎である。これに対し、本発明の他の実施例では双方向予測符号化フレームの復元画像データの出力に合わせてマクロブロックバッファ11からの復元画像データの入力と同じようにマクロブロック毎に行われる。

【0088】本発明の他の実施例のスキャン変換用メモリ28にはマクロブロック毎に復元画像データが入力されるため、1水平方向分のマクロブロックを格納するバッファを、書込み用及び読み出し用に2パンク有する必要があり、そのメモリ容量は360Kビットとなる。

【0089】本発明の他の実施例のスキャン変換制御部29はスキャン変換用メモリ28に制御信号を出力し、マクロブロック毎に入力される復元画像データの書込みと、ラスタスキャン順での復元画像データの出力とを制

御する。

【0090】本発明の他の実施例でCCIR601の525ラインシステムのピクセルレートを実現する場合、メモリ制御部23での16ライン当たりの予測用ダイナミックメモリ12のワードアクセス回数を見ると、前予測符号化の場合には上述した本発明の一実施例のワードアクセス回数と同様に9405回となる。

【0091】これに対し、双方向予測符号化の場合には、

10 前予測参照ブロックのリード：

9ワード×9回×45マクロブロック=3645

後予測参照ブロックのリード：

9ワード×9回×45マクロブロック=3645

で、合計7290回となる。ここで、1水平方向分のマクロブロック数は45マクロブロックである。

【0092】上述した本発明の一実施例と同様に予測用メモリにDRAMを使用した場合、16ライン当たりの必要サイクル数は、

予測参照ブロックのリード：

20 13サイクル×9回×45マクロブロック=5265

復元画像データのライト：

10サイクル×8回×45マクロブロック=3600

復元画像データのリード：

10サイクル×8回×45マクロブロック=3600

で、合計12465サイクルとなる。ここで、1水平方向分のマクロブロック数は45マクロブロックである。

【0093】これに対し、双方向予測符号化の場合には予測用ダイナミックメモリ12のアクセス以外に、マクロブロックバッファ11の出力データをスキャン変換用メモリ28に書込むためにメモリデータバス100を利用するので、そのサイクル数も含める必要がある。したがって、16ライン当たりの必要サイクル数は、

前予測参照ブロックのリード：

13サイクル×9回×45マクロブロック=5265

後予測参照ブロックのリード：

13サイクル×9回×45マクロブロック=5265

スキャン変換用メモリ28への出力：

8サイクル×8回×45マクロブロック=2880

で、合計13410回となる。ここで、1水平方向分の

40 マクロブロック数は45マクロブロックである。

【0094】よって、本発明の他の実施例でもCCIR601の525ラインシステムのピクセルレートで必要な13728サイクル以内の条件を満たすことができ、CCIR601の525ラインシステムに対応可能となる。

【0095】上述した本発明の一実施例及び他の実施例では、輝度成分と色差成分とのサンプリング比がCCIR601の525ラインシステムの4:2:2にしたがって、マクロブロックが輝度成分(Y)2×2ブロック、Cr成分1×2ブロック、Cb成分1×2ブロック

で構成されている場合について説明した。

【0096】しかしながら、輝度成分と色差成分とのサンプリング比が4:1:1で、マクロブロックが輝度成分(Y)2×2ブロック、Cr成分1×1ブロック、Cb成分1×1ブロックで構成されている場合についても、予測用ダイナミックメモリ12のバス幅を48ビット幅とし、輝度成分(Y)2×2サンプル、Cr成分1×1サンプル、Cb成分1×1サンプルを1ワードとしてアクセスすることで、予測用フレームメモリとしてDRAMを使用することが可能である。

【0097】また、上述した本発明の一実施例及び他の実施例では、復元画像データを輝度成分(Y)2×2サンプルとCr成分1×2サンプルとCb成分1×2サンプルとからなる1ワードの画像データを構成する手段として、マクロブロックバッファ11を加算器4の後に配置している。

【0098】しかしながら、逆DCT部3からブロック単位で入力されるデータを輝度成分(Y)2×2サンプルとCr成分1×2サンプルとCb成分1×2サンプルとからなる1ワードのデータに並び替える手段を加算器4の前に配置し、加算器4の出力を8サンプル分まとめるラッチを加算器4の後に配置することで、本発明の一実施例及び他の実施例による予測用ダイナミックメモリ12に対するアクセス方法を適用することができる。

【0099】上述したシステムを集積回路で実現する場合、本発明の一実施例では予測用ダイナミックメモリ12を除いた部分をLSI1チップまたは数チップセットで実現すればよい。また、本発明の他の実施例では予測用ダイナミックメモリ12を除いた部分、または予測用ダイナミックメモリ12とスキャン変換用メモリ28とを除いた部分をLSI1チップまたは数チップセットで実現すればよい。

【0100】このように、加算器4でブロック毎に復元される復元画像データをマクロブロックバッファ11に一時保持するときに輝度成分(Y)2×2サンプルとCr成分1×2サンプルとCb成分1×2サンプルとからなる1ワードのデータに並び替え、このデータを該1ワード単位にデータ伝送を行うメモリデータバス100を介して予測用ダイナミックメモリ12と、参照マクロブロックバッファ14または前参照マクロブロックバッファ24及び後参照マクロブロックバッファ25と、ラインバッファ18またはスキャン変換用メモリ28とに夫々出力することによって、予測用ダイナミックメモリ12をDRAMのページモードアクセスでアクセスすることができる。よって、予測用メモリとして価格の安いDRAMを利用することができる。

【0101】また、メモリデータバス100のバス幅を64ビット幅とすることで、×16ビット構成の4Mビ

ットDRAMを使用する場合に4個のDRAMで予測用フレームメモリを構成することができ、従来の128ビットバスと比較して実装面積を小さくすることができる。

【0102】さらに、CCIR601の525ラインシステムで予測用フレームメモリとして必要な容量[(720+360×2)サンプル×480ライン×8ビット×2フレーム=10.546…Mbists]に対し、4MビットDRAMを4個使用するだけなので、DRAMの未使用領域が大きくなるということはない。

【0103】さらにまた、該システムを集積回路化する際にスキャン変換用メモリとして外部メモリを使用する場合でも、従来のようにスキャン変換用メモリのデータバス用の端子として64本端子を多く必要となることはなく、このLSIを小型化することが可能となる。

【0104】

【発明の効果】以上説明したように本発明によれば、ブロック毎に復元される復元画像データを、複数画素の輝度成分及び色差成分を単位とするデータに並び替えることによって、予測用メモリとして安価なDRAMを使用することができ、予測用メモリの実装面積を小さくしてLSIの小型化を図ることができるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示すブロック図である。

【図2】本発明の他の実施例の構成を示すブロック図である。

【図3】(a)はDRAMのページモードアクセスサイクルを示す図、(b)は復元画像データのライトアクセスサイクルを示す図、(c)はページ境界にかかるない予測参照ブロックのリードアクセスサイクルを示す図、(d)はページ境界にかかる予測参照ブロックのリードアクセスサイクルを示す図である。

【図4】従来例の構成を示すブロック図である。

【図5】従来例の構成を示すブロック図である。

【符号の説明】

3 逆DCT部

4 加算器

5 予測値算出部

40 11 マクロブロックバッファ

12 予測用ダイナミックメモリ

13, 23 メモリ制御部

14 参照マクロブロックバッファ

16, 26, 27 マルチプレクサ

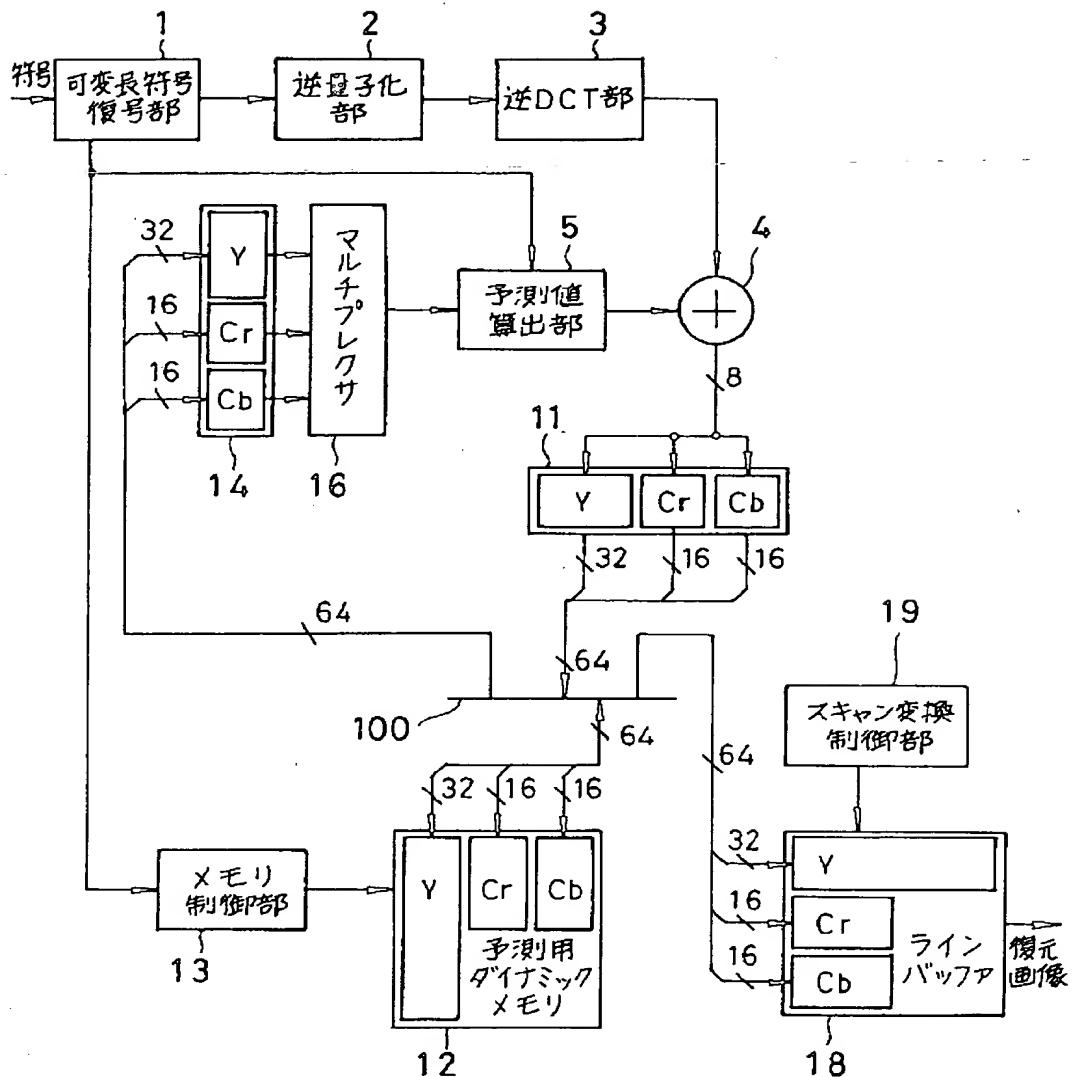
18 ラインバッファ

19, 29 スキャン変換制御部

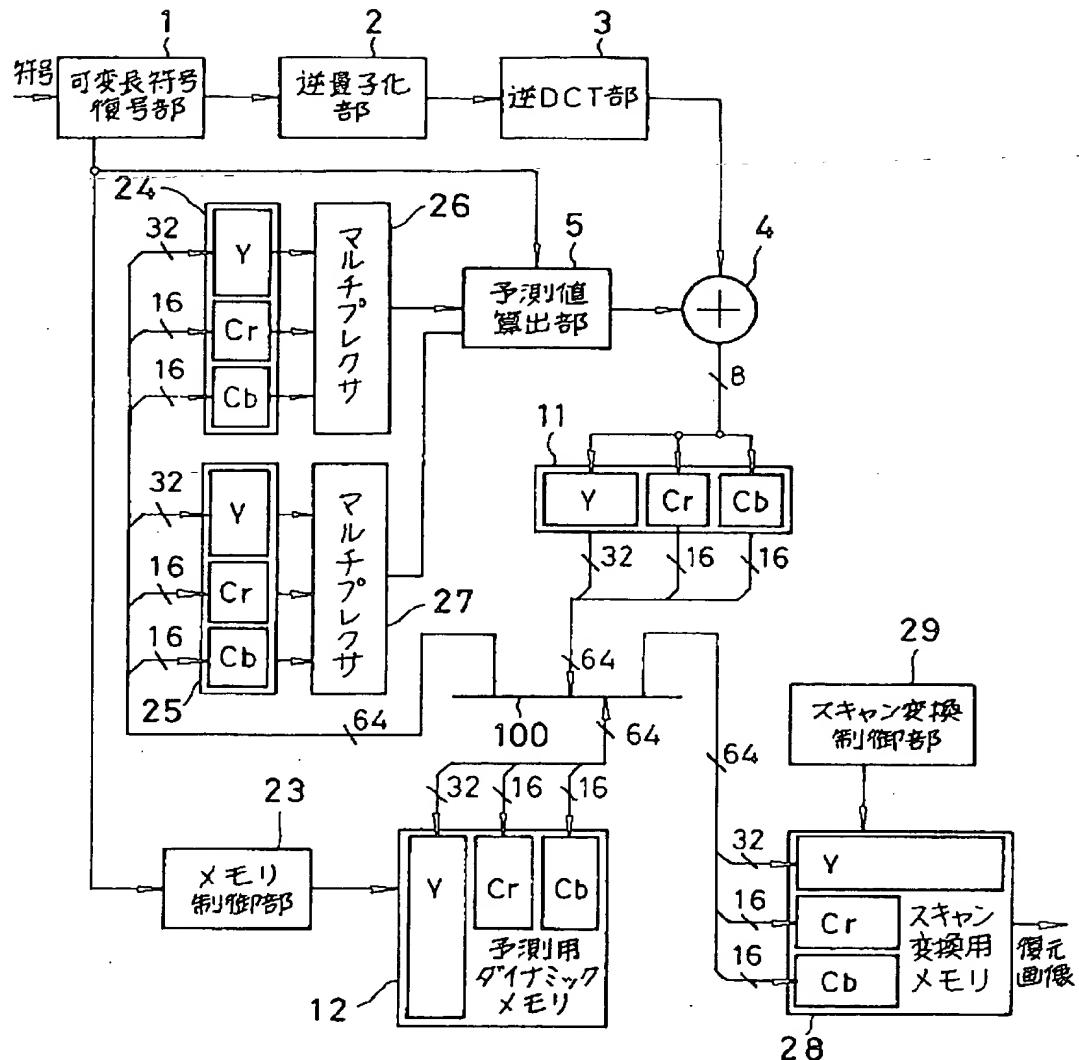
28 スキャン変換用メモリ

100 メモリデータバス

【図1】



【図2】



【図3】

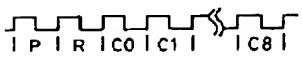
(a)



(b)



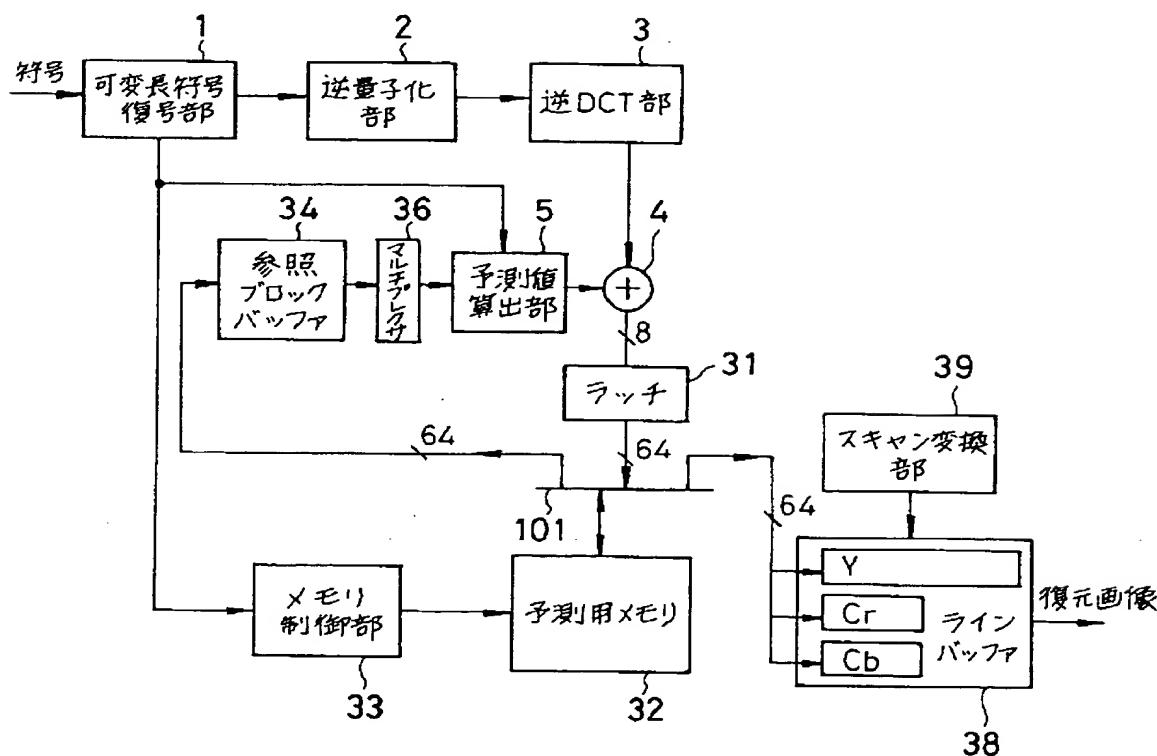
(c)



(d)



【図4】



【図5】

